

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-036533

(43)Date of publication of application : 02.02.2000

(51)Int.Cl. H01L 21/76
H01L 21/304

(21)Application number : 10-337515

(71)Applicant : SONY CORP

(22)Date of filing : 27.11.1998

(72)Inventor : YAMAZAKI TAKESHI
KOIKE MASAHIRO

(30)Priority

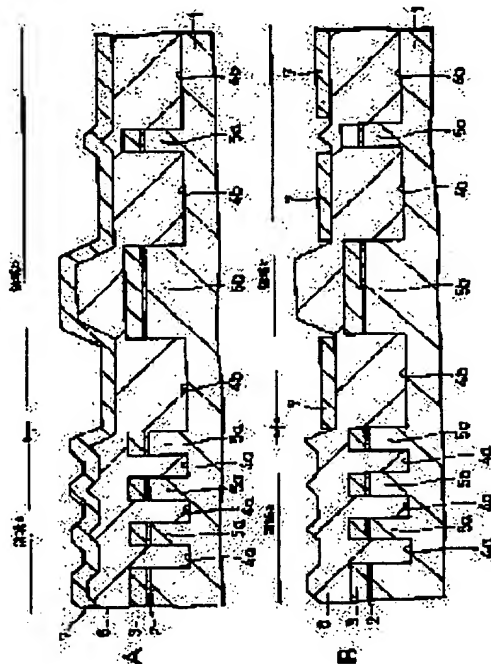
Priority number : 10127229 Priority date : 11.05.1998 Priority country : JP

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide the manufacturing method, which can form the element isolation structure having the excellent flatness by trench-element isolation technology, can improve the characteristics and the reliability of the element, and can design the element readily, even when the dense parts and the sparse parts of active regions are mixed.

SOLUTION: On an Si substrate 1, an SiN film 3 as the first film in a predetermined shape is formed. With the SiN film 3 as the mask, etching is performed. Thus, trenches 4a and 4b are formed at the parts in correspondence with the element isolation regions of the Si substrate 1. After an embedding SiO₂ film 6 is formed on the entire surface as the second film, an SiN film 7 as the third film is formed at the part in correspondence with the trench 4b surrounding at least independent protruding part 5a on the embedded SiO₂ film. After the embedded SiO₂ film 6 and the SiN film are polished by a CMP method, the SiN film 3 is embedded as the polishing stopper by the CMP method, and the SiO₂ film 6 is polished.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号 /

特開2000-36533

(P2000-36533A)

(43) 公開日 平成12年2月2日(2000.2.2)

(51) Int.Cl.⁷H 0 1 L 21/76
21/304

識別記号

6 2 2

F I

H 0 1 L 21/76
21/304

テマコード* (参考)

L

6 2 2 X

審査請求 未請求 請求項の数49 O L (全 23 頁)

(21) 出願番号 特願平10-337515

(22) 出願日 平成10年11月27日(1998.11.27)

(31) 優先権主張番号 特願平10-127229

(32) 優先日 平成10年5月11日(1998.5.11)

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山崎 武

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(72) 発明者 小池 正博

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人 100082762

弁理士 杉浦 正知

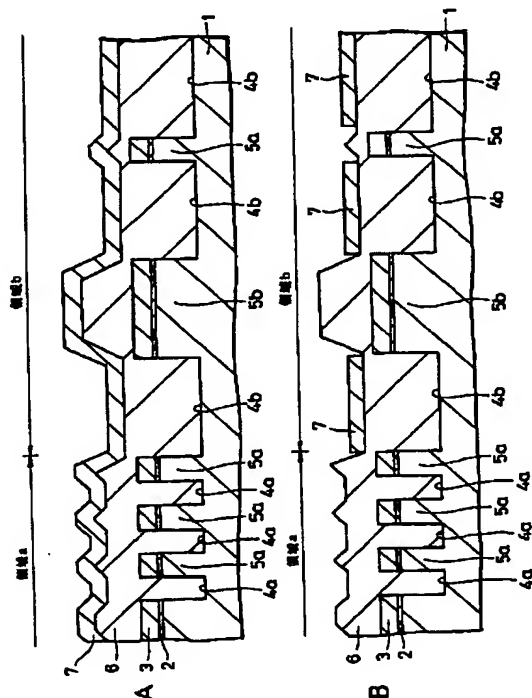
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

(修正有)

【課題】 活性領域が密な部分と疎な部分とが混在する場合であっても、トレンチ素子分離技術により平坦性の良好な素子分離構造を形成することができ、素子の特性および信頼性の向上を図ることができると共に、素子設計を容易に行うことができる半導体装置の製造方法を提供する。

【解決手段】 Si基板1上に所定形状の第1の膜としてのSiN膜3を形成し、SiN膜3をマスクとしてエッチングすることによりSi基板1の素子分離領域に対応する部分にトレンチ4a、4bを形成する。全面に第2の膜としての埋め込みSiO₂膜6を形成した後、埋め込みSiO₂膜6上のうち、少なくとも孤立した凸部5aを取り囲む広いトレンチ4bに対応する部分に第3の膜としてのSiN膜7を形成する。CMP法により埋め込みSiO₂膜6およびSiN膜7を研磨した後、CMP法によりSiN膜3を研磨ストッパーとして埋め込みSiO₂膜6を研磨する。



【特許請求の範囲】

【請求項 1】 複数の素子分離領域と複数の活性領域とを有し、かつ、他の部分の素子分離領域に比べて一方向における幅が広くされた広い素子分離領域と、上記広い素子分離領域に囲まれた孤立した活性領域とを有する半導体装置を製造する際に、トレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法において、

半導体基板上に研磨停止膜を形成する工程と、
上記研磨停止膜の上記複数の素子分離領域に対応する部分に開口部を形成する工程と、
上記開口部が形成された上記研磨停止膜をマスクとして用いて、上記半導体基板の上記複数の素子分離領域に対応する部分に溝を形成する工程と、
上記溝の内部を埋めるように全面に埋め込み絶縁膜を形成する工程と、
上記埋め込み絶縁膜上にダミー膜を形成する工程と、
エッチング法により上記ダミー膜をパターンニングし、この際、少なくとも上記複数の活性領域に対応する部分の上記ダミー膜を除去し、かつ、上記孤立した活性領域に対応する部分を囲むように上記ダミー膜を残す工程と、
化学機械研磨法により、上記ダミー膜の研磨レートと上記埋め込み絶縁膜の研磨レートとがほぼ等しくなる条件で、上記埋め込み絶縁膜の上記ダミー膜がほぼ完全に除去されるまで研磨を行う工程と、
化学機械研磨法により、上記埋め込み絶縁膜の研磨レートが上記研磨停止膜の研磨レートより大きくなる条件で、上記研磨停止膜の上記埋め込み絶縁膜がほぼ完全に除去されるまで研磨を行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 上記埋め込み絶縁膜を形成する際に、上記半導体基板に形成された上記溝の上記埋め込み絶縁膜の厚さを、上記半導体基板に形成された上記溝の深さと上記研磨停止膜の厚さとの和より大きくするようにしたことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 上記埋め込み絶縁膜を高密度プラズマ化学気相成長法により形成するようにしたことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 4】 上記埋め込み絶縁膜は酸化シリコン膜であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 5】 上記研磨停止膜は窒化シリコン膜であることを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】 上記ダミー膜は窒化シリコン膜であることを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 7】 上記研磨停止膜を上記半導体基板上にパッド絶縁膜を介して形成するようにしたことを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 8】 上記半導体基板上に上記溝を形成した後、上記埋め込み絶縁膜を形成する前に、上記半導体基板の上記溝の側面を酸化する工程を有することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 9】 上記ダミー膜をパターンニングする際に、上記複数の活性領域に対応する部分の上記ダミー膜を除去し、上記複数の素子分離領域に対応する部分の上記ダミー膜を残すようにしたことを特徴とする請求項 1 記載の半導体装置の製造方法。

10 【請求項 10】 上記半導体装置は、他の部分の活性領域に比べて一方向における幅が広くされた広い活性領域をさらに有し、上記ダミー膜をパターンニングする際に、上記広い活性領域に対応する部分を囲むように上記ダミー膜を残すようにしたことを特徴とする請求項 1 記載の半導体装置の製造方法。

20 【請求項 11】 複数の素子分離領域と複数の活性領域とを有し、かつ、他の部分の素子分離領域に比べて一方向における幅が広くされた広い素子分離領域と、上記広い素子分離領域に囲まれた孤立した活性領域とを有する半導体装置を製造する際に、トレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法において、

半導体基板上にエッチング停止膜を形成する工程と、
上記エッチング停止膜の上記複数の素子分離領域に対応する部分に開口部を形成する工程と、
上記開口部が形成された上記エッチング停止膜をマスクとして用いて、上記半導体基板の上記複数の素子分離領域に対応する部分に溝を形成する工程と、
上記溝の内部を埋めるように全面に埋め込み絶縁膜を形成する工程と、

30 上記埋め込み絶縁膜上にダミー膜を形成する工程と、
エッチング法により上記ダミー膜をパターンニングし、この際、少なくとも上記複数の活性領域に対応する部分の上記ダミー膜を除去し、かつ、上記孤立した活性領域に対応する部分を囲むように上記ダミー膜を残す工程と、
化学機械研磨法により、上記ダミー膜の研磨レートと上記埋め込み絶縁膜の研磨レートとがほぼ等しくなる条件で、上記埋め込み絶縁膜の上記ダミー膜がほぼ完全に除去されるまで研磨を行う工程と、
40 ウエットエッチング法により、上記埋め込み絶縁膜のエッチングレートが上記エッチング停止膜のエッチングレートより大きくなる条件で、上記エッチング停止膜の上記埋め込み絶縁膜がほぼ完全に除去されるまでエッチングする工程とを有することを特徴とする半導体装置の製造方法。

50 【請求項 12】 上記埋め込み絶縁膜を形成する際に、上記半導体基板に形成された上記溝の上記埋め込み絶縁膜の厚さを、上記半導体基板に形成された上記溝の深さと上記研磨停止膜の厚さとの和より大きくすることを特徴とする請求項 11 記載の半導体装置の製造方法。

【請求項 1'3】 上記埋め込み絶縁膜を高密度プラズマ化学気相成長法により形成するようにしたことを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【請求項 1 4】 上記埋め込み絶縁膜は酸化シリコン膜であることを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【請求項 1 5】 上記エッチング停止膜は窒化シリコン膜であることを特徴とする請求項 1 4 記載の半導体装置の製造方法。

【請求項 1 6】 上記ダミー膜は窒化シリコン膜であることを特徴とする請求項 1 4 記載の半導体装置の製造方法。

【請求項 1 7】 上記エッチング停止膜を上記半導体基板上にパッド絶縁膜を介して形成するようにしたことを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【請求項 1 8】 上記半導体基板上に上記溝を形成した後、上記埋め込み絶縁膜を形成する前に、上記半導体基板の上記溝の側面を酸化する工程を有することを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【請求項 1 9】 上記ダミー膜をパターンニングする際に、上記複数の活性領域に対応する部分の上記ダミー膜を除去し、上記複数の素子分離領域に対応する部分の上記ダミー膜を残すようにしたことを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【請求項 2 0】 上記半導体装置は、他の部分の活性領域に比べて一方向における幅が広くされた広い活性領域をさらに有し、上記ダミー膜をパターンニングする際に、上記広い活性領域を囲むように上記ダミー膜を残すようにしたことを特徴とする請求項 1 1 記載の半導体装置の製造方法。

【請求項 2 1】 トレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法において、基板上に所定形状の第 1 の膜を形成する工程と、上記第 1 の膜をマスクとして上記基板をエッチングすることにより、上記基板の素子分離領域に対応する部分に溝を形成する工程と、上記溝の内部を埋めるように全面に第 2 の膜を形成する工程と、上記第 2 の膜上のうち、少なくとも孤立した活性領域を取り囲む素子分離領域に対応する部分に第 3 の膜を形成する工程と、上記溝の内部以外の部分に形成された上記第 2 の膜を除去する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 2】 上記孤立した活性領域は隣接する活性領域から上記溝の深さの 2 倍以上離れたものであることを特徴とする請求項 2 1 記載の半導体装置の製造方法。

【請求項 2 3】 上記孤立した活性領域は隣接する活性領域から $1\mu\text{m}$ 以上離れたものであることを特徴とする請求項 2 1 記載の半導体装置の製造方法。

【請求項 2 4】 トレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法において、基板上に所定形状の第 1 の膜を形成する工程と、上記第 1 の膜をマスクとして上記基板をエッチングすることにより、上記基板の素子分離領域に対応する部分に溝を形成する工程と、

上記溝の内部を埋めるように全面に第 2 の膜を形成する工程と、

上記第 2 の膜上のうち、少なくとも孤立した活性領域を取り囲む素子分離領域に対応する部分に第 3 の膜を形成する工程と、

化学機械研磨法により、上記第 3 の膜の研磨レートと上記第 2 の膜の研磨レートとがほぼ等しくなる条件で上記第 2 の膜および上記第 3 の膜を研磨する工程と、化学機械研磨法またはエッチング法により、上記第 1 の膜を研磨停止層またはエッチング停止層として上記第 2 の膜を研磨またはエッチングする工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2 5】 上記孤立した活性領域は隣接する活性領域から上記溝の深さの 2 倍以上離れたものであることを特徴とする請求項 2 4 記載の半導体装置の製造方法。

【請求項 2 6】 上記孤立した活性領域は隣接する活性領域から $1\mu\text{m}$ 以上離れたものであることを特徴とする請求項 2 4 記載の半導体装置の製造方法。

【請求項 2 7】 上記第 2 の膜は酸化シリコン膜であることを特徴とする請求項 2 4 記載の半導体装置の製造方法。

【請求項 2 8】 上記第 1 の膜は窒化シリコン膜であり、上記第 3 の膜は窒化シリコン膜であることを特徴とする請求項 2 7 記載の半導体装置の製造方法。

【請求項 2 9】 上記第 2 の膜を形成する際に、上記溝上の上記第 2 の膜の厚さを上記溝の深さと上記第 1 の膜の厚さとの和より大きくするようにしたことを特徴とする請求項 2 4 記載の半導体装置の製造方法。

【請求項 3 0】 上記第 2 の膜を高密度プラズマ化学気相成長法により形成するようにしたことを特徴とする請求項 2 4 記載の半導体装置の製造方法。

【請求項 3 1】 上記第 1 の膜を上記基板上に下地膜を介して形成するようにしたことを特徴とする請求項 2 4 記載の半導体装置の製造方法。

【請求項 3 2】 上記基板に上記溝を形成した後、上記第 2 の膜を形成する前に、上記溝の側面を酸化する工程を有することを特徴とする請求項 2 4 記載の半導体装置の製造方法。

【請求項 3 3】 上記第 2 の膜上のうち、少なくとも上記孤立した活性領域を取り囲む上記素子分離領域に対応する部分に上記第 3 の膜を形成する工程は、上記第 2 の膜上の全面に上記第 3 の膜を形成する工程と、上記第 3 の膜を選択的にエッチングすることにより上記第 3 の膜を所定形状にパターンニングする工程とからなることを特

10

20

30

40

50

徴とする請求項 24 記載の半導体装置の製造方法。

【請求項 34】 上記第 3 の膜を、上記第 2 の膜上のうち、広い活性領域を取り囲む素子分離領域に対応する部分にも形成するようにしたことを特徴とする請求項 24 記載の半導体装置の製造方法。

【請求項 35】 上記第 3 の膜を、上記第 2 の膜上のうち、上記孤立した活性領域を取り囲む上記素子分離領域を含む、複数の素子分離領域に対応する部分に形成するようにしたことを特徴とする請求項 24 記載の半導体装置の製造方法。

【請求項 36】 トレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法において、基板上に所定形状の第 1 の膜を形成する工程と、上記第 1 の膜をマスクとして上記基板をエッチングすることにより、上記基板の素子分離領域に対応する部分に溝を形成する工程と、上記溝の内部を埋めるように全面に第 2 の膜を形成する工程と、上記第 2 の膜上のうち、少なくとも孤立した活性領域を取り囲む素子分離領域に対応する部分に第 3 の膜を形成する工程と、化学機械研磨法により、上記第 3 の膜に対する上記第 2 の膜の選択比が高い研磨スラリーを用い、上記第 1 の膜および上記第 3 の膜を研磨停止層として上記第 2 の膜を研磨する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 37】 上記孤立した活性領域は隣接する活性領域から上記溝の深さの 2 倍以上離れたものであることを特徴とする請求項 36 記載の半導体装置の製造方法。

【請求項 38】 上記孤立した活性領域は隣接する活性領域から $1\mu\text{m}$ 以上離れたものであることを特徴とする請求項 36 記載の半導体装置の製造方法。

【請求項 39】 上記第 2 の膜は酸化シリコン膜であることを特徴とする請求項 36 記載の半導体装置の製造方法。

【請求項 40】 上記第 1 の膜は窒化シリコン膜であり、上記第 3 の膜は多結晶シリコン膜または窒化シリコン膜であることを特徴とする請求項 39 記載の半導体装置の製造方法。

【請求項 41】 上記第 3 の膜に対する上記第 2 の膜の選択比が高い上記研磨スラリーは、研磨材に酸化セリウムを用いたものであることを特徴とする請求項 40 記載の半導体装置の製造方法。

【請求項 42】 上記第 2 の膜を研磨した後、上記第 3 の膜を除去する工程を有することを特徴とする請求項 36 記載の半導体装置の製造方法。

【請求項 43】 上記第 3 の膜を除去する際に、化学機械研磨法により上記第 3 の膜を研磨するようにしたことを特徴とする請求項 42 記載の半導体装置の製造方法。

【請求項 44】 上記第 3 の膜を除去する際に、エッチ

ング法により上記第 3 の膜を選択的にエッチングするようにしたことを特徴とする請求項 42 記載の半導体装置の製造方法。

【請求項 45】 上記第 3 の膜を除去する際に、上記第 1 の膜を同時に除去するようにしたことを特徴とする請求項 42 記載の半導体装置の製造方法。

【請求項 46】 上記第 2 の膜を高密度プラズマ化学気相成長法により形成するようにしたことを特徴とする請求項 36 記載の半導体装置の製造方法。

10 【請求項 47】 上記第 1 の膜を上記基板上に下地膜を介して形成するようにしたことを特徴とする請求項 36 記載の半導体装置の製造方法。

【請求項 48】 上記基板上に上記溝を形成した後、上記第 2 の膜を形成する前に、上記溝の側面を酸化する工程を有することを特徴とする請求項 36 記載の半導体装置の製造方法。

【請求項 49】 上記第 2 の膜上のうち、少なくとも上記孤立した活性領域を取り囲む上記素子分離領域に対応する部分に上記第 3 の膜を形成する工程は、上記第 2 の膜上の全面に上記第 3 の膜を形成する工程と、上記第 3 の膜を選択的にエッチングすることにより上記第 3 の膜を所定形状にパターンニングする工程とからなることを特徴とする請求項 36 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置の製造方法に関し、特に、トレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法に関する。

【0002】

30 【従来の技術】 近年の ULSI などに見られるように、半導体装置の高集積化および高性能化が進展するにつれて、集積される素子、例えば MOSFET においても、ゲート電極や素子分離領域の微細化、ならびに、それらの距離の縮小化の要求が益々厳しくなっている。

【0003】 ゲート電極の微細化については、リソグラフィ工程に用いる露光装置の性能に依るところが大きい。素子分離領域の微細化および素子分離領域とゲート電極との距離の縮小化については、先端リソグラフィ技術の他に、STI (Shallow Trench Isolation) 技術の

40 ようなトレンチ素子分離技術も注目を集めている。
【0004】 LSI における基板の素子間分離には、ここ 10 年来、LOCOS (Local Oxidation of Silicon) 法のような選択酸化技術が用いられてきた。LOCOS 法は、窒化シリコン (Si_3N_4) 膜をマスクとして Si 基板自身を熱酸化させるため、プロセスが簡潔で、酸化膜の素子応力の問題も少なく、また、得られる酸化シリコン (SiO_2) 膜 (フィールド絶縁膜) の膜質が良好であるという大きな利点がある。そのため、LOCOS 法は、技術革新の激しい LSI プロセスにおいても、
50 改良を重ねつつ使われ続けてきた。

【0005】しかしながら、半導体装置の微細化が進み、いわゆる0.25 μm 世代が本格化してくると、LOCOS法による素子間分離は、微細化の観点から限界が来ると言われている。これは、LOCOS法の場合、Si基板を熱酸化する際に横方向にも酸化反応が広がり、いわゆるバーズビークが発生することにより、素子分離ピッチがマスクのSi₃N₄膜の開口幅よりもバーズビークの進入分だけ広くなってしまうためである。バーズビークの抑制には、マスクのSi₃N₄膜の直下のパッド酸化膜を削除する方法が効果的だが、この場合、Si₃N₄膜によるSi基板への応力が結晶欠陥を引き起こすという問題が生じる。よって、トータルではやはりバーズビークが致命的となり、LOCOS法の場合、微細化は非常に困難であると言わざるを得ない。

【0006】そこで、LOCOS法に代わる素子間分離技術として本命視されているのが、上述のトレンチ素子分離技術である。

【0007】特に、最近では、半導体装置のシステムLSI化に伴い、DRAMなどのメモリ素子とロジック素子とを同一半導体基板上に混載した半導体装置の開発が進められており、このような半導体装置においては、素子の微細化に伴い、素子分離技術が従来のLOCOS法のような選択酸化技術から、STI技術のようなトレンチ素子分離技術へと変化している。

【0008】トレンチ素子分離技術とは、Si基板のような半導体基板上に溝（トレンチ）を形成し、そのトレンチにSiO₂のような絶縁物を埋め込むことにより、素子分離領域にフィールド絶縁膜を形成する方法である。この際、トレンチに絶縁物を埋め込む手法としては、例えば、トレンチが形成された半導体基板の全面にSiO₂膜を形成した後、トレンチの内部以外の部分に形成されたSiO₂膜を化学機械研磨（CMP）法により研磨、除去する手法が用いられる。

【0009】このトレンチ素子分離技術は、エッチングにより基板上にトレンチを形成し、そのトレンチに絶縁物を埋め込むことにより素子分離領域にフィールド絶縁膜を形成するようにしているため、設計寸法からの変換差が少なく、微細化には原理的に適している。また、トレンチに絶縁物を埋め込んだ後、CMPなどの手法により平坦化を行うようにしているため、高精度リソグラフィに必要な平坦性に対しても有利と言える。

【0010】このように、次世代デバイスへの適用がもはや不可欠になってきているトレンチ素子分離技術ではあるが、実用化に向けては未だ課題が多いと言わざるを得ない。

【0011】ここで、図面を参照して、従来のトレンチ素子分離技術により素子間分離を行うようにした従来の半導体装置の製造方法について説明する。ここでは、DRAMとロジック素子とを同一半導体基板上に混載したシステムLSIのような半導体装置を製造する場合を例

に説明する。

【0012】従来のトレンチ素子分離技術においては、まず、図7Aに示すように、Si基板101の表面に、熱酸化法により厚さ5～20nm程度のパッドSiO₂膜102を形成する。次に、減圧化学気相成長（CVD）法により、全面に、厚さ50～250nm程度の窒化シリコン（SiN）膜103を形成する。次に、SiN膜103上にリソグラフィ法により所定形状のレジストパターン（図示せず）を形成する。このリソグラフィ工程は、例えば光源にKrFエキシマレーザを用いたステッパを用いて行う。このレジストパターンは、Si基板101の活性領域となる部分を覆い素子分離領域となる部分に開口部を有する。次に、このレジストパターンをマスクとして、反応性イオンエッチング（RIE）法によりSiN膜103をエッチングする。これにより、SiN膜103の素子分離領域に対応する部分に開口部が形成される。その後、エッチングマスクとして用いたレジストパターンを除去する。

【0013】次に、上述のように開口部が形成されたSiN膜103をマスクとして、RIE法によりパッドSiO₂膜102およびSi基板101を、Si基板101の表面と垂直方向に異方性エッチングすることにより、トレンチ104aおよびトレンチ104bを形成する。このようにSi基板101にトレンチ104a、104bが形成されたことにより、これらのトレンチ104a、104bで囲まれた活性領域に対応する部分に凸部105a、105bが形成される。

【0014】ここで、トレンチ104aは狭い素子分離領域に対応する部分に形成されたものであり、トレンチ104bは広い素子分離領域に対応する部分に形成されたものである。狭いトレンチ104aの一方向における幅は、例えば、トレンチ深さとほぼ同程度またはそれ以下であり、広いトレンチ104bの一方向における幅は、例えば1 μm 以上である。一例を挙げると、狭いトレンチ104aの一方向における幅は0.25 μm 程度であり、広いトレンチ104bの一方向における幅は数 μm 程度である。また、凸部105aは狭い活性領域に対応する部分に形成されたものであり、凸部105bは広い活性領域に対応する部分に形成されたものである。これらの凸部105a、105bのうち、狭い凸部105aの一方向における幅は例えば0.3 μm であり、広い凸部105bの一方向における幅は例えば数 μm 程度である。

【0015】この半導体装置においては、例えばDRAM形成領域に対応する領域aには、狭いトレンチ104aと狭い凸部105aとが周期的に形成されており、凸部パターンが密に形成されている。一方、例えばI/O部やキャパシタ形成領域（周辺回路形成領域）に対応する領域bには、広いトレンチ104bの間に狭い凸部105aが孤立して形成されており、凸部パターンが疎に

10

20

30

40

50

形成されている。この場合、広い素子分離領域間に孤立した活性領域（広いトレンチ 104b 間に孤立した凸部 105a）は、隣接する活性領域から 1 μ m 以上離れている。また、領域 b には、広い凸部 105b が形成されており、この部分では凸部パターンが密となっている。

【0016】次に、CVD 法により、トレンチ 104a、104b の内部を埋めるように、全面に所定の厚さの埋め込み SiO₂ 膜 106 を形成する。

【0017】次に、図 7B に示すように、CMP 法により、SiO₂ の研磨レートが SiN の研磨レートより大きくする条件で、凸部 105a、105b 上の SiN 膜 103 を研磨ストッパーとして、SiN 膜 103 上の埋め込み SiO₂ 膜 106 がほぼ完全に除去されるまで研磨を行う。この CMP においては、例えば、研磨材にシリカを用いたスラリーを用いる。これにより、トレンチ 104a、104b の内部以外の部分に形成された埋め込み SiO₂ 膜 106 が除去され、これらのトレンチ 104a、104b の内部のみに埋め込み SiO₂ 膜 106 が残される。

【0018】次に、図示は省略するが、例えば基板に対して熱リン酸処理を施すことにより、活性領域に対応する凸部 105a、105b 上の SiN 膜 103 を除去する。次に、例えばフッ酸を用いたウェットエッチング法により凸部 105a、105b 上のパッド SiO₂ 膜 102 を除去する。以上のようにして、トレンチ素子分離技術により素子間分離が行われる。

【0019】次に、活性領域の表面を犠牲酸化した後、活性領域中に不純物の導入を行う。次に、ウェットエッチング法により犠牲酸化膜を除去した後、熱酸化法により活性領域の表面に SiO₂ からなるゲート絶縁膜を形成する。次に、CVD 法により、ゲート電極材料としての多結晶 Si 膜を全面に形成した後、RIE 法によりこの多結晶 Si 膜を所定形状にパターニングすることにより、ゲート絶縁膜上にゲート電極を形成する。

【0020】以降、従来公知の方法により、MOSFET やキャパシタなどの素子を形成し、目的とする半導体装置を完成させる。

【0021】

【発明が解決しようとする課題】しかしながら、従来のトレンチ素子分離技術では、活性領域の密な部分と疎な部分とが混在する場合、平坦性の良好な素子分離構造を形成することが困難であるという問題があった。

【0022】すなわち、公知のように、CMP における被研磨膜の研磨速度は、被研磨膜のパターン密度に大きく依存する。このため、図 7B に示すように、広いトレンチ 104b 間に孤立した凸部 105a（孤立した活性領域）上の埋め込み SiO₂ 膜 106 にはその他の凸部パターン（活性領域）が密集した部分に比べて高い研磨圧力が働き、研磨が早く進行することにより、いわゆるディッシングの問題が生じる。よって、他の研磨が遅い

部分の研磨が終了するまで研磨を行うと、この孤立した凸部 105a の部分ではオーバー研磨となり、研磨ストッパーとしての SiN 膜 103 や、場合によってはその下層の Si 基板 101 まで研磨されてしまい、後に Si 基板 101 の活性領域上に形成される MOSFET の特性に悪影響を及ぼす。具体的には、MOSFET の逆狭チャネル効果によりしきい値電圧が低下したり、電流－電圧特性にキックが出現するなどの問題が生じる。

【0023】また、逆に、凸部パターンが密な部分（活性領域が密集した領域）では、埋め込み SiO₂ 膜 106 の研磨が遅く進むため、素子分離領域における埋め込み SiO₂ 膜 106 の表面と活性領域における Si 基板 101 の表面との間の段差が高くなり、後に、ゲート電極の加工時に、埋め込み SiO₂ 膜 106 による段差部にゲート電極材料のエッチング残りが生じ、ゲート間が短絡するという不良が生じる。

【0024】このような CMP 工程における研磨速度のパターン密度依存性を回避、低減する手法として、例えば、活性領域が疎な部分にダミー活性領域を形成する方法がある。しかしながら、この方法は、デバイス回路毎にそれぞれダミー活性領域を設計しなければならないという問題がある。

【0025】また、他の手法として、活性領域が密集した領域上の埋め込み絶縁膜をドライエッチングなどにより予め取り除いてやる方法がある。以下に、この方法を用いた従来のトレンチ素子分離技術について、図 8～図 11 を参照して説明する。図 8～図 11 において、図 7 と同一または対応する部分には、同一の符号を付す。

【0026】この場合、まず、図 8A に示すように、Si 基板 101 の表面に、熱酸化法により厚さ 10～20 nm 程度のパッド SiO₂ 膜 102 を形成する。次に、化学気相成長（CVD）法により、全面に、厚さ 150～200 nm 程度の窒化シリコン（SiN）膜 103 を形成する。次に、リソグラフィ法により、SiN 膜 103 上に所定形状のレジストパターン（図示せず）を形成する。このレジストパターンは、Si 基板 101 の活性領域となる部分を覆い素子分離領域となる部分に開口部を有する。次に、このレジストパターンをマスクとして、反応性イオンエッチング（RIE）法により SiN 膜 103 をエッチングする。これにより、SiN 膜 103 の素子分離領域に対応する部分に開口部が形成される。その後、エッチングマスクとして用いたレジストパターンを除去する。

【0027】次に、上述のように開口部が形成された SiN 膜 103 をマスクとして、RIE 法によりパッド SiO₂ 膜 102 および Si 基板 101 を、Si 基板 101 の表面と垂直方向に異方性エッチングすることにより、トレンチ 104a およびトレンチ 104b を形成する。この場合、Si 基板 101 の表面からトレンチ 104a、104b の底部までの深さ、すなわちトレンチ深

さは、例えば 300~400 nm 程度とする。このようにトレンチ 104 a、104 b が形成されたことにより、これらのトレンチ 104 a、104 b で囲まれた活性領域に対応する部分に凸部 105 a、105 b が形成される。

【0028】ここで、トレンチ 104 a は狭い素子分離領域に対応する部分に形成されたものであり、トレンチ 104 b は広い素子分離領域に対応する部分に形成されたものである。狭いトレンチ 104 a の一方向における幅を x_1 、広いトレンチ 104 b の一方向における幅を x_2 、トレンチ深さを y とすると、 x_1 は例えば y とほぼ同程度またはそれ以下であり、 x_2 は例えば y の 2 倍以上 ($x_2 \geq 2y$) である。一例を挙げると、狭いトレンチ 104 a の一方向における幅 x_1 は例えば 0.25 μ m 程度であり、広いトレンチ 104 b の一方向における幅 x_2 は例えば数 μ m 程度である。また、凸部 105 a は狭い活性領域に対応する部分に形成されたものであり、凸部 105 b は広い活性領域に対応する部分に形成されたものである。これらの凸部 105 a、105 b のうち、狭い凸部 105 a の一方向における幅は例えば 0.3 μ m であり、広い凸部 105 b の一方向における幅は例えば溝の深さの 2 倍以上、数 μ m 程度である。

【0029】この半導体装置においては、例えば DRAM 形成領域に対応する領域 a には、狭いトレンチ 104 a と狭い凸部 105 a とが周期的に形成されており、凸部パターンが密に形成されている。一方、例えば I/O 部やキャパシタ形成領域（周辺回路形成領域）に対応する領域 b には、広いトレンチ 104 b の間に狭い凸部 105 a が孤立して形成されており、凸部パターンが疎に形成されている。また、領域 b には、広い凸部 105 b が形成されている。領域 b のうち、広い凸部 105 b が形成された部分では、凸部パターンが密となっている。

【0030】上述のように Si 基板 101 の素子分離領域にトレンチ 104 a、104 b を形成した後、熱酸化法により、トレンチ 104 a、104 b の側面および底面に酸化膜（図示せず）を形成する。

【0031】次に、図 8 B に示すように、高密度プラズマ CVD 法により、トレンチ 104 a、104 b の内部を埋めるように全面に埋め込み SiO₂ 膜 106 を形成する。この場合、トレンチ 104 a、104 b 上の埋め込み SiO₂ 膜 106 の厚さが、トレンチ深さと SiN 膜 103 の厚さとの和よりも大きくなるようにする。具体的には、この埋め込み SiO₂ 膜 106 の厚さは、トレンチ深さおよび SiN 膜 103 の厚さを考慮して、例えば 600~800 nm とする。

【0032】ここで、高密度プラズマ CVD 法による成膜の際には、エッチングと堆積とが同時進行するため、トレンチ 104 a、104 b 上には埋め込み SiO₂ 膜 106 が平坦に堆積し、凸部 105 a、105 b 上には埋め込み SiO₂ 膜 106 がエッジの部分から内側に例

えば 45° 傾斜した斜面を形成しながら堆積してゆく。これにより、図 8 B に示すような形状の埋め込み SiO₂ 膜 106 が得られる。すなわち、この埋め込み SiO₂ 膜 106 は、トレンチ 104 a、104 b に対応する部分に平坦部を有し、凸部 105 a、105 b のエッジ近傍に対応する部分に斜面を有している。なお、狭い凸部 105 a に対応する部分においては、両側から延びる斜面が中央部で交差し、埋め込み SiO₂ 膜 106 に突起部が形成され、広い凸部 105 b に対応する部分においては、両側の斜面が交差せず埋め込み SiO₂ 膜 106 に広い平坦部が形成される。また、狭いトレンチ 104 a 上には、広いトレンチ 104 b 上よりも埋め込み SiO₂ 膜 106 が厚く堆積し、領域 a の狭いトレンチ 104 a に囲まれた狭い凸部 105 a 上および領域 b の広い凸部 105 b 上には、領域 b の広いトレンチ 104 a に囲まれた狭い凸部 105 a（孤立した凸部 105 a）上よりも埋め込み SiO₂ 膜 106 が厚く堆積する。

【0033】次に、図 9 A に示すように、埋め込み SiO₂ 膜 106 上に、広い凸部 105 b に対応する部分に開口部 107 a を有するレジストパターン 107 を形成する。次に、このレジストパターン 107 をマスクとして、RIE 法により、広い凸部 105 b 上の埋め込み SiO₂ 膜 106 を SiN 膜 103 が露出するまでエッチングする。この後、エッチングマスクに用いたレジストパターン 107 を除去する。これにより、図 9 B に示すように、埋め込み SiO₂ 膜 106 のうち、広い凸部 105 b の上側に形成された広い平坦部の内側に対応する部分が除去され、この凸部 105 b の周辺部近傍に対応する部分に突起部 106 a が形成される。ここで、このように埋め込み SiO₂ 膜 106 に上述の突起部 106 a を形成しているのは、次のような理由による。

【0034】すなわち、このトレンチ素子分離技術においては、埋め込み SiO₂ 膜 106 の形成後、CMP 法によりトレンチ 104 a、104 b 以外の部分に形成された埋め込み SiO₂ 膜 106 が除去される。この際、CMP 法による研磨では、広い平坦部ほど研磨レートが低く、突起部のような突出した部分ほど研磨レートが高くなるという特性がある。そこで、予め、埋め込み SiO₂ 膜 106 のうち、凸部パターンが密な広い凸部 105 b の上側に形成された広い平坦部の内側の領域に対応する部分を除去し、この広い平坦部の周辺部近傍の領域に対応する部分に突起部 106 a を形成しておくことにより、研磨バラツキを抑えるようにするためである。

【0035】次に、図 10 A に示すように、CMP 法により、SiO₂ の研磨レートが SiN の研磨レートより大きくなる条件で、凸部 105 a、105 b 上の SiN 膜 103 を研磨ストッパーとして、SiN 膜 103 上の埋め込み SiO₂ 膜 106 がほぼ完全に除去されるまで研磨を行う。これにより、トレンチ 104 a、104 b の内部以外の部分に形成された埋め込み SiO₂ 膜 10

6が除去され、これらのトレンチ104a、104bの内部のみに埋め込みSiO₂膜106が残される。

【0036】次に、図10Bに示すように、例えば基板に対して熱リン酸処理を施すことにより、凸部105a、105b上のSiN膜103を除去した後、例えばフッ酸を用いたウェットエッチング法により凸部105a、105b上のパッドSiO₂膜102を除去する。このとき、パッドSiO₂膜102を除去する際に、埋め込みSiO₂膜106もエッチングされるため、これらの埋め込みSiO₂膜106の厚さが減少する。

【0037】以上のようにして、トレンチ素子分離技術により素子間分離が行われる。

【0038】以降、活性領域の表面を犠牲酸化した後、活性領域中に不純物の導入を行う。次に、ウェットエッチング法により犠牲酸化膜を除去した後、熱酸化法により活性領域の表面にSiO₂からなるゲート絶縁膜を形成する。次に、CVD法により、ゲート電極材料としての多結晶Si膜を全面に形成した後、RIE法によりこの多結晶Si膜を所定形状にパターニングすることにより、ゲート絶縁膜上にゲート電極を形成する。図11は、ゲート電極の形成まで行った状態を示す。なお、図11において、ゲート絶縁膜およびゲート電極は、図示省略されている。ここで、埋め込みSiO₂膜106の厚さが更に減少し、トレンチ104a、104bの側壁に対応する部分に窪みが生じているのは、犠牲酸化膜を除去する際に埋め込みSiO₂膜106もエッチングされるためである。

【0039】以降、従来公知の方法により、MOSFETやキャパシタなどの素子を形成し、目的とする半導体装置を完成させる。

【0040】しかしながら、この場合も、CMP工程での被研磨膜のパターン密度依存性が十分に低減されているとは言えない。

【0041】すなわち、埋め込みSiO₂膜106を形成した後、この埋め込みSiO₂膜106のうち、広い凸部105bの上側に形成された広い平坦部の内側の領域に対応する部分を除去し、この凸部105bの周辺部近傍の領域に対応する部分に突起部106aを形成し、この後、CMP法によりSiO₂膜106の研磨を行うようにしている。しかしながら、このように広い凸部105bの上側の埋め込みSiO₂膜106のみを除去して研磨を行った場合、DRAM形成領域（領域a）のように凸部パターン（活性領域）が密な部分では、研磨後の埋め込みSiO₂膜106の厚さが、他の部分の埋め込みSiO₂膜106の厚さより大きくなり、その結果、この埋め込みSiO₂膜106による段差が大きくなる。このため、図11に示すように、ゲート電極加工時に、その段差部にゲート電極材料（例えば多結晶Si）のエッチング残り108が生じ、ゲート間や他のレイヤーとの間に短絡が生じるおそれがある。

【0042】一方、DRAM形成領域（領域a）内での埋め込みSiO₂膜106による段差を低減するため、この領域a内の埋め込みSiO₂膜106の高さに合わせて研磨を行うと、周辺回路形成領域（領域b）のように凸部パターンが疎な部分では、孤立した凸部105aに応力（研磨圧力）が集中するため、SiO₂とSiNとの選択比が低下し、孤立した凸部105a上のSiN膜103が削られ、研磨マスクとしての機能を果たせなくなるという問題がある。また、この場合、この孤立した凸部105aの近傍の広いトレンチ104bに対応する部分では、埋め込みSiO₂膜106がオーバー研磨となり、トレンチのエッジ部分が落ち込むため、ゲート絶縁膜を形成する際に、このゲート絶縁膜が、Si基板101の主面（例えば（100）面）以外の結晶面にも形成され、ゲート絶縁膜の膜質に劣化が生じたり、MOSFETの逆狭チャネル効果によりしきい値電圧が減少し、素子設計が困難になるなどの問題がある。

【0043】したがって、この発明の目的は、活性領域が密な部分と疎な部分とが混在する場合であっても、トレンチ素子分離技術により平坦性の良好な素子分離構造を形成することができ、これによって、素子の特性および信頼性の向上を図ることができると共に、素子設計を容易に行うことができる半導体装置の製造方法を提供することにある。

【0044】

【課題を解決するための手段】上記目的を達成するため、この発明の第1の発明は、複数の素子分離領域と複数の活性領域とを有し、かつ、他の部分の素子分離領域に比べて一方向における幅が広くされた広い素子分離領域と、広い素子分離領域に囲まれた孤立した活性領域とを有する半導体装置を製造する際に、トレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法において、半導体基板上に研磨停止膜を形成する工程と、研磨停止膜の複数の素子分離領域に対応する部分に開口部を形成する工程と、開口部が形成された研磨停止膜をマスクとして用いて、半導体基板の複数の素子分離領域に対応する部分に溝を形成する工程と、溝の内部を埋めるように全面に埋め込み絶縁膜を形成する工程と、埋め込み絶縁膜上にダミー膜を形成する工程と、エッチング法によりダミー膜をパターニングし、この際、少なくとも複数の活性領域に対応する部分のダミー膜を除去し、かつ、孤立した活性領域に対応する部分を囲むようにダミー膜を残す工程と、化学機械研磨法により、ダミー膜の研磨レートと埋め込み絶縁膜の研磨レートとがほぼ等しくなる条件で、埋め込み絶縁膜上のダミー膜がほぼ完全に除去されるまで研磨を行う工程と、化学機械研磨法により、埋め込み絶縁膜の研磨レートが研磨停止膜の研磨レートより大きくなる条件で、研磨停止膜上の埋め込み絶縁膜がほぼ完全に除去されるまで研磨を行う工程とを有することを特徴とするものである。

【0045】この発明の第2の発明は、複数の素子分離領域と複数の活性領域とを有し、かつ、他の部分の素子分離領域に比べて一方向における幅が広くされた広い素子分離領域と、広い素子分離領域に囲まれた孤立した活性領域とを有する半導体装置を製造する際に、トレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法において、半導体基板上にエッチング停止膜を形成する工程と、エッチング停止膜の複数の素子分離領域に対応する部分に開口部を形成する工程と、開口部が形成されたエッチング停止膜をマスクとして用いて、半導体基板の複数の素子分離領域に対応する部分に溝を形成する工程と、溝の内部を埋めるように全面に埋め込み絶縁膜を形成する工程と、埋め込み絶縁膜上にダミー膜を形成する工程と、エッチング法によりダミー膜をパターニングし、この際、少なくとも複数の活性領域に対応する部分のダミー膜を除去し、かつ、孤立した活性領域に対応する部分を囲むようにダミー膜を残す工程と、化学機械研磨法により、ダミー膜の研磨レートと埋め込み絶縁膜の研磨レートとがほぼ等しくなる条件で、埋め込み絶縁膜上のダミー膜がほぼ完全に除去されるまで研磨を行う工程と、ウェットエッチング法により、埋め込み絶縁膜のエッチングレートがエッチング停止膜のエッチングレートより大きくなる条件で、エッチング停止膜上の埋め込み絶縁膜がほぼ完全に除去されるまでエッチングする工程とを有することを特徴とするものである。

【0046】この発明の第3の発明は、トレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法において、基板上に所定形状の第1の膜を形成する工程と、第1の膜をマスクとして基板をエッチングすることにより、基板の素子分離領域に対応する部分に溝を形成する工程と、溝の内部を埋めるように全面に第2の膜を形成する工程と、第2の膜上のうち、少なくとも孤立した活性領域を取り囲む素子分離領域に対応する部分に第3の膜を形成する工程と、溝の内部以外の部分に形成された第2の膜を除去する工程とを有することを特徴とするものである。

【0047】この発明の第4の発明は、トレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法において、基板上に所定形状の第1の膜を形成する工程と、第1の膜をマスクとして基板をエッチングすることにより、基板の素子分離領域に対応する部分に溝を形成する工程と、溝の内部を埋めるように全面に第2の膜を形成する工程と、第2の膜上のうち、少なくとも孤立した活性領域を取り囲む素子分離領域に対応する部分に第3の膜を形成する工程と、化学機械研磨法により、第3の膜の研磨レートと第2の膜の研磨レートとがほぼ等しくなる条件で第2の膜および第3の膜を研磨する工程と、化学機械研磨法またはエッチング法により、第1の膜を研磨停止層またはエッチング停止層として第

2の膜を研磨またはエッチングする工程とを有することを特徴とするものである。

【0048】この発明の第5の発明は、トレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法において、基板上に所定形状の第1の膜を形成する工程と、第1の膜をマスクとして基板をエッチングすることにより、基板の素子分離領域に対応する部分に溝を形成する工程と、溝の内部を埋めるように全面に第2の膜を形成する工程と、第2の膜上のうち、少なくとも孤立した活性領域を取り囲む素子分離領域に対応する部分に第3の膜を形成する工程と、化学機械研磨法により、第3の膜に対する第2の膜の選択比が高い研磨スラリーを用い、第1の膜および第3の膜を研磨停止層として第2の膜を研磨する工程とを有することを特徴とするものである。

【0049】この発明において、半導体装置は、典型的には例えば、単位面積当たり活性領域の存在する率が高い部分と低い部分とを有するものである。このような半導体装置としては、例えば、同一半導体基板（チップ）内に、DRAMのような半導体メモリ素子とロジック素子とを混載したシステムLSIなどがある。このような半導体装置は、例えば、単位面積当たり活性領域の存在する率が低い部分に、広い素子分離領域に囲まれた孤立した活性領域を有する。ここで、この発明の第1および第2の発明における広い素子分離領域とは、他の部分の素子分離領域、例えば、単位面積当たり活性領域の存在する率が高い部分に形成された素子分離領域に比べて、一方向における幅が広くされたものであるが、具体的には、例えば、その一方向における幅がその深さの2倍以上であるような溝に対応する部分に形成された素子分離領域のことを指す。この広い素子分離領域に対して、例えば、単位面積当たり活性領域の存在する率が高い部分に形成された素子分離領域（狭い素子分離領域）は、例えば、その一方向における幅がその深さと同程度またはそれ以下であるような溝に対応する部分に形成される。

【0050】この発明の第1および第2の発明において、半導体基板としては、典型的には、例えばシリコン基板が用いられる。また、埋め込み絶縁膜としては、典型的には、例えば酸化シリコン膜が用いられる。

【0051】この発明の第1および第2の発明において、埋め込み絶縁膜を形成する際には、高アスペクト比の溝でも良好な埋め込み特性が得られることから、好適には、例えば高密度プラズマ化学気相成長法が用いられる。なお、この高密度プラズマ化学気相成長法による成膜の際には、例えば、ECR型、ICP型、TCP型、ヘリコン波型などの高密度プラズマを発生することが可能な化学気相成長装置を用いることができる。

【0052】この発明の第1および第2の発明において、ダミー膜としては、エッチング法によりこのダミー膜をパターニングする際に、このダミー膜を埋め込み絶

10

20

30

40

50

縁膜に対して高い選択比（ダミー膜のエッチングレート＞埋め込み絶縁膜のエッチングレート）でエッチングすることができると共に、化学機械研磨法による研磨を行う際に、埋め込み絶縁膜に対して低い選択比（埋め込み絶縁膜の研磨レート≒ダミー膜の研磨レート）で研磨することができるものが用いられる。具体的には、埋め込み絶縁膜が酸化シリコン膜である場合、このダミー膜としては、例えば窒化シリコン膜が用いられる。

【0053】この発明の第1の発明において、研磨停止膜としては、化学機械研磨法による研磨を行う際に、埋め込み絶縁膜をこの研磨停止膜に対して高い選択比（埋め込み絶縁膜の研磨レート＞研磨停止膜の研磨レート）で研磨することができるものが用いられる。具体的には、埋め込み絶縁膜が酸化シリコン膜である場合、この研磨停止膜としては、例えば窒化シリコン膜が用いられる。なお、この研磨停止膜は、最終的には除去されるものである。

【0054】この発明の第2の発明において、エッチング停止膜としては、ウェットエッチング法によるエッチングを行う際に、埋め込み絶縁膜をこのエッチング停止膜に対して高い選択比（埋め込み絶縁膜のエッチングレート＞エッチング停止膜のエッチングレート）でエッチングすることができるものが用いられる。具体的には、埋め込み絶縁膜が酸化シリコン膜である場合、このエッチング停止膜としては、例えば窒化シリコン膜が用いられる。なお、このエッチング停止膜は、最終的には除去されるものである。

【0055】この発明の第3、第4および第5の発明において、孤立した活性領域とは、例えば、隣接する活性領域から溝の深さの2倍以上離れた活性領域、または、隣接する活性領域から1μm以上離れた活性領域のことを指す。この場合、孤立した活性領域を取り囲む素子分離領域とは、一方向における幅が溝の深さの2倍以上または1μm以上の素子分離領域のことを指す。

【0056】この発明の第3の発明において、溝の内部以外の部分に形成された第2の膜を除去するためには、例えば、化学機械研磨法により、第3の膜の研磨レートと第2の膜の研磨レートとがほぼ等しくなる条件で、第2の膜および第3の膜を研磨した後、化学機械研磨法またはエッチング法により、第1の膜を研磨停止層またはエッチング停止層として第2の膜を研磨またはエッチングするようにしてもよく、あるいは、化学機械研磨法により、第3の膜に対する第2の膜の選択比が高い研磨スラリーを用い、第1の膜および第3の膜を研磨停止層として第2の膜を研磨するようにしてもよい。

【0057】この発明の第4および第5の発明において、基板としては、典型的には、例えばシリコン基板が用いられる。また、この発明の第4および第5の発明において、第2の膜は、素子分離領域に対応する溝の内部に埋め込まれる埋め込み絶縁膜であり、最終的には、素

子分離領域においてフィールド絶縁膜として機能するものである。したがって、第2の膜としては、典型的には例えば酸化シリコン膜が用いられる。

【0058】この発明の第4の発明において、化学機械研磨法により第2の膜および第3の膜を研磨する工程は、好適には、第2の膜上の第3の膜がほぼ完全に除去されるまで行われる。この際、化学機械研磨の条件によっては、窒化シリコンの研磨レートと酸化シリコンの研磨レートとをほぼ等しくすることができることから、第2の膜が酸化シリコン膜である場合には、第3の膜として例えば窒化シリコン膜を用いることが好ましい。また、化学機械研磨法またはエッチング法により、第1の膜を研磨停止層またはエッチング停止層として第2の膜を研磨またはエッチングする工程は、好適には、第1の膜上の第2の膜がほぼ完全に除去されるまで行われる。この際、第1の膜を研磨停止層またはエッチング停止層として機能させることから、第2の膜が酸化シリコン膜である場合には、第1の膜として例えば窒化シリコン膜を用いることが好ましい。このように、この第4の発明においては、第2の膜が酸化シリコン膜である場合は、第1の膜を窒化シリコン膜とし、かつ、第3の膜を窒化シリコン膜とする組み合わせが好ましい。なお、この第4の発明においては、基板の活性領域に対応する部分に素子を形成するために、第1の膜は最終的に除去される。

【0059】この発明の第5の発明においては、化学機械研磨法により、第3の膜に対する第2の膜の選択比が大きい研磨スラリーを用い、第1の膜および第3の膜を研磨停止層として第2の膜を研磨する工程は、好適には、第1の膜上の第2の膜がほぼ完全に除去されるまで行われる。この際、第1の膜を研磨停止層として機能させることから、第2の膜が酸化シリコン膜である場合には、第1の膜として例えば窒化シリコン膜を用いることが好ましい。また、研磨材に酸化セリウムを用いた研磨スラリーを用いることによって、多結晶シリコンや窒化シリコンに対する酸化シリコンの選択比を高くすることができることから、第2の膜が酸化シリコン膜である場合には、第3の膜として例えば多結晶シリコン膜または窒化シリコン膜を用いることが好ましい。このように、この第5の発明においては、第2の膜が酸化シリコン膜である場合は、第1の膜を窒化シリコン膜とし、かつ、第3の膜を多結晶シリコン膜または窒化シリコン膜とする組み合わせが好ましい。

【0060】この発明の第5の発明において、第2の膜の研磨後に第2の膜上に残存する第3の膜は、典型的には除去される。特に、第3の膜が多結晶シリコン膜または窒化シリコン膜である場合は、第3の膜を除去する手法としては、例えば化学機械研磨法を用いることができ、この際、研磨材としてシリカを有する研磨スラリーを用いることができる。また、第3の膜が多結晶シリコ

ン膜、第2'の膜が酸化シリコン膜、第1の膜が窒化シリコン膜といった具合に、第1～第3の膜が互いに異なる材料からなる場合は、例えばドライエッチング法や化学ドライエッチング法を用いて第3の膜を選択的にエッチングすることにより、第3の膜を除去するようにしてもよい。なお、この第5の発明においては、基板の活性領域に対応する部分に素子を形成するために、第1の膜は最終的に除去される。したがって、第3の膜および第1の膜が同一の材料からなる場合は、第3の膜を除去する際に第1の膜を同時に除去してもよい。特に、第3の膜および第1の膜が窒化シリコン膜である場合は、基板に対して熱リン酸処理を施すことにより、第3の膜および第1の膜を同時に除去することができる。

【0061】この発明の第4および第5の発明において、第2の膜の形成時における厚さは、溝の深さと第1の膜の厚さとに応じて決定される。なお、第4の発明においては、第2の膜を形成する際に、溝上の第2の膜の厚さを溝の深さと第1の膜の厚さとの和より大きくすることが好ましい。

【0062】この発明の第4および第5の発明においては、溝のアスペクト比が高い場合であっても良好な埋め込み特性が得られることから、第2の膜を、例えば、高密度プラズマ化学気相成長法により形成するようにしてもよい。なお、この高密度プラズマ化学気相成長法による成膜には、例えば、ECR型、ICP型、TCP型、ヘリコン波型などの高密度プラズマを発生することが可能な化学気相成長装置が用いられる。

【0063】この発明の第4および第5の発明においては、第1の膜を基板上に下地膜を介して形成するようにしてもよい。また、この発明の第4および第5の発明においては、基板に溝を形成した後、第2の膜を形成する前に、溝の側面を酸化するようにしてもよい。

【0064】この発明の第4および第5の発明においては、典型的には、第2の膜を形成した後、この第2の膜上の全面に第3の膜を形成し、さらに、この第3の膜を例えばドライエッチング法または化学ドライエッチング法により選択的にエッチングすることにより、第2の膜上に所定形状の第3の膜が形成される。

【0065】この発明の第4の発明においては、第3の膜を、第2の膜上のうち広い活性領域を取り囲む素子分離領域に対応する部分にも形成するようにしてもよい。ここで、広い活性領域とは、例えば、一方向における幅が数 μm 程度の活性領域を指す。このようにすることで、広い活性領域に対応する部分における第2の膜（広い平坦部を有する段差部）を研磨する間に、その周囲における第2の膜の膜減りを抑えることができ、第2の膜の表面をほぼ平坦にすることができる。

【0066】この発明の第4の発明においては、第3の膜を、第2の膜上のうち孤立した活性領域を取り囲む素子分離領域を含む、複数の素子分離領域に対応する部

分、場合によっては全ての素子分離領域に対応する部分に形成するようにしてもよい。

【0067】上述のように構成されたこの発明の第1の発明によれば、埋め込み絶縁膜上にダミー膜を形成し、孤立した活性領域に対応する部分を囲むようにダミー膜をパターンニングした後、化学機械研磨法により、ダミー膜の研磨レートと埋め込み絶縁膜の研磨レートとがほぼ等しくなる条件で、埋め込み絶縁膜上のダミー膜がほぼ完全に除去されるまで研磨を行うようにしていることにより、孤立した活性領域の近傍に対応する部分における埋め込み絶縁膜の研磨が過度に進行することを防止することができ、これにより、ダミー膜が除去された時点で、埋め込み酸化シリコン膜の表面をほぼ平坦にすることができる。このため、この後に、化学機械研磨法により、埋め込み絶縁膜の研磨レートが研磨停止膜の研磨レートより大きくなる条件で、研磨停止膜上の埋め込み絶縁膜がほぼ完全に除去されるまで研磨を行うことにより、溝の内部に埋め込まれる埋め込み絶縁膜の厚さを半導体基板の全面に渡ってほぼ均一に揃えることができ、平坦性の良好な素子分離構造を実現することができる。

【0068】この発明の第2の発明によれば、第1の発明の場合と同様に、ダミー膜が除去された時点で、埋め込み酸化シリコン膜の表面をほぼ平坦にすることができる。このため、この後に、ウェットエッチング法により、埋め込み絶縁膜のエッチングレートがエッチング停止膜のエッチングレートより大きくなる条件で、エッチング停止膜上の埋め込み絶縁膜がほぼ完全に除去されるまでエッチングすることにより、溝の内部のに埋め込まれる埋め込み絶縁膜の厚さを半導体基板の全面に渡ってほぼ均一に揃えることができ、平坦性の良好な素子分離構造を実現することができる。

【0069】この発明の第3の発明によれば、第2の膜上のうち、少なくとも孤立した活性領域を取り囲む素子分離領域に対応する部分に第3の膜を形成することにより、その後に、溝の内部以外の部分に形成された第2の膜を除去する際に、化学機械研磨法により第2の膜を研磨するようにしても、孤立した活性領域の近傍に対応する部分における第2の膜の研磨が過度に進行することを防止することができる。これにより、溝の内部に埋め込まれる第2の膜の厚さを基板の全面に渡ってほぼ均一に揃えることができ、平坦性の良好な素子分離構造を実現することができる。

【0070】この発明の第4の発明によれば、第2の膜上のうち、少なくとも孤立した活性領域を取り囲む素子分離領域に対応する部分に第3の膜を形成した後、化学機械研磨法により、第3の膜の研磨レートと第2の膜の研磨レートとがほぼ等しくなる条件で第2の膜および第3の膜を研磨するようにしていることにより、孤立した活性領域の近傍に対応する部分における第2の膜の研磨が過度に進行することを防止することができ、しかも、

第2の膜上の第3の膜が除去された時点で、第2の膜の表面をほぼ平坦にすることができる。このため、その後、化学機械研磨法またはエッチング法により、第1の膜を研磨停止層またはエッチング停止層として第2の膜を研磨またはエッチングすることにより、溝の内部に埋め込まれる第2の膜の厚さを基板の全面に渡ってほぼ均一に揃えることができ、平坦性の良好な素子分離構造を実現することができる。

【0071】この発明の第5の発明によれば、第2の膜上のうち、少なくとも孤立した活性領域を取り囲む素子分離領域に対応する部分に第3の膜を形成した後、化学機械研磨法により、第3の膜に対する第2の膜の選択比が高い研磨スラリーを用い、第1の膜および第3の膜を研磨停止層として第2の膜を研磨するようにしていることにより、孤立した活性領域の近傍に対応する部分における第2の膜の研磨が過度に進行することを防止することができる。これにより、溝の内部に埋め込まれる第2の膜の厚さを基板の全面に渡ってほぼ均一に揃えることができ、平坦性の良好な素子分離構造を実現することができる。

【0072】

【発明の実施の形態】以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には、同一の符号を付す。

【0073】まず、この発明の第1の実施形態について説明する。図1～図4は、この第1の実施形態によるトレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法を説明するための断面図である。ここでは、DRAMとロジック素子とを同一半導体基板上に混載したシステムLSIのような半導体装置を製造する場合を例に説明する。

【0074】この第1の実施形態によるトレンチ素子分離技術においては、まず、図1Aに示すように、Si基板1の表面に、例えば熱酸化法により例えば厚さ10～20nm程度のパッドSiO₂膜2を形成する。次に、例えば、CVD法により、全面に例えば厚さ150～200nm程度のSiN膜3（第1の膜）を形成する。このSiN膜3は、後に行われる、トレンチ以外の部分に形成された埋め込み絶縁膜を除去するためのCMP工程において、研磨ストッパーとして用いられるものである。次に、SiN膜3上に所定形状のレジストパターン（図示せず）を形成する。このレジストパターンは、Si基板1の活性領域となる部分を覆い素子分離領域となる部分に開口部を有する。次に、このレジストパターンをマスクとして、例えばRIE法によりSiN膜3をエッチングする。これにより、SiN膜3の素子分離領域に対応する部分に開口部が形成される。その後、エッチングマスクとして用いたレジストパターンを除去する。

【0075】次に、SiN膜3をマスクとして、例えば

RIE法によりパッドSiO₂膜2およびSi基板1を、Si基板1の表面と垂直方向に異方性エッチングすることにより、トレンチ4aおよびトレンチ4bを形成する。この場合、Si基板1の表面からトレンチ4a、4bの底部までの深さ、すなわちトレンチ深さは、例えば300～400nm程度とする。このようにトレンチ4a、4bが形成されたことにより、これらのトレンチ4a、4bで囲まれた活性領域に対応する部分に凸部5a、5bが形成される。

10 【0076】ここで、トレンチ4aは狭い素子分離領域に対応する部分に形成されたものであり、トレンチ4bは広い素子分離領域に対応する部分に形成されたものである。狭いトレンチ4aの一方方向における幅を x_1 、広いトレンチ4bの一方方向における幅を x_2 、トレンチ深さを y とすると、 x_1 は例えば y とほぼ同程度またはそれ以下であり、 x_2 は例えば y の2倍以上（ $x_2 \geq 2y$ ）である。一例を挙げると、狭いトレンチ4aの一方方向における幅 x_1 は例えば0.25 μ m程度であり、広いトレンチ4bの一方方向における幅 x_2 は例えば数 μ m程度である。また、凸部5aは狭い活性領域に対応する部分に形成されたものであり、凸部5bは広い活性領域に対応する部分に形成されたものである。これらの凸部5a、5bのうち、狭い凸部5aの一方方向における幅は例えば0.3 μ mであり、広い凸部5bの一方方向における幅は例えば数 μ m程度である。

30 【0077】この半導体装置においては、例えばDRAM形成領域に対応する領域aには、狭いトレンチ4aと狭い凸部5aとが周期的に形成されており、凸部パターンが密に形成されている。一方、例えばI/O部やキャパシタ形成領域（周辺回路形成領域）に対応する領域bには、広いトレンチ4bの間に狭い凸部5aが孤立して形成されており、凸部パターンが疎に形成されている。また、領域bには、広い凸部5bが形成されており、この部分では凸部パターンが密となっている。

【0078】上述のようにSi基板1の素子分離領域にトレンチ4a、4bを形成した後、熱酸化法により、トレンチ4a、4bの側壁および底部に酸化膜（図示せず）を形成する。

40 【0079】次に、図1Bに示すように、例えば高密度プラズマCVD法により、トレンチ4a、4bの内部を埋めるように全面に埋め込みSiO₂膜6（第2の膜）を形成する。この高密度プラズマCVD法により形成された埋め込みSiO₂膜6は、高いアスペクト比でもスリットがボイドや膜収縮が少なく、良好な埋め込み特性が得られる。この場合、トレンチ4a、4b上の埋め込みSiO₂膜6の厚さが、トレンチ深さとSiN膜3の厚さとの和よりも大きくなるようにする。具体的には、この埋め込みSiO₂膜6の厚さは、トレンチ深さおよびSiN膜3の厚さを考慮して、例えば600～800nmとする。この高密度プラズマCVD法による埋め込

み SiO_2 膜6の形成条件の一例を挙げると、プロセスガスとして Ar 、 O_2 、 SiH_4 の混合ガスを用い、スパッタレート100~150nm/分、成膜レート400~600nm/分の条件で成膜する。

【0080】ここで、高密度プラズマCVD法による成膜の際には、エッチングと堆積とが同時進行するため、トレンチ4a、4b上には埋め込み SiO_2 膜6が平坦に堆積し、凸部5a、5b上には埋め込み SiO_2 膜6がエッジの部分から内側に例えば45°傾斜した斜面を形成しながら堆積してゆく。これにより、図1Bに示すような形状の埋め込み SiO_2 膜6が得られる。すなわち、この埋め込み SiO_2 膜6は、トレンチ4a、4bに対応する部分に平坦部を有し、凸部5a、5bのエッジ近傍に対応する部分に斜面を有している。なお、狭い凸部5aに対応する部分においては、両側から延びる斜面が中央部で交差し、埋め込み SiO_2 膜6に突起部が形成され、広い凸部5bに対応する部分においては、両側の斜面が交差せず埋め込み SiO_2 膜6に広い平坦部が形成される。また、狭いトレンチ4a上には、広いトレンチ4b上よりも埋め込み SiO_2 膜6が厚く堆積し、領域aの狭いトレンチ4aに囲まれた狭い凸部5a上および領域bの広い凸部5b上には、領域bの広いトレンチ4aに囲まれた狭い凸部5a（孤立した凸部5a）上よりも埋め込み SiO_2 膜6が厚く堆積する。

【0081】次に、図2Aに示すように、埋め込み SiO_2 膜6上に、ダミー膜として、例えばCVD法により SiN 膜7（第3の膜）を形成する。この SiN 膜7の厚さは、例えば100~200nm程度とすることが望ましい。

【0082】次に、 SiN 膜7のうち、領域b内の孤立した凸部5aを囲む広いトレンチ4bに対応する部分と、広い凸部5aを囲むトレンチ4bに対応する部分とをレジストパターン（図示せず）で覆い、このレジストパターンをマスクとして例えばRIE法により SiN 膜7をエッチングすることにより、この SiN 膜7をパターンニングする。これにより、図2Bに示すように、領域b内の孤立した凸部5aを囲む広いトレンチ4bに対応する部分と、広い凸部5bを囲むトレンチ4bに対応する部分とに SiN 膜7が残され、それ以外の部分に形成された SiN 膜7が除去される。すなわち、埋め込み SiO_2 膜6のうち、広いトレンチ4a内に孤立した凸部5aの近傍に対応する部分が SiN 膜7で囲まれると共に、広い凸部5bの近傍に形成された段差が SiN 膜7により低減される。また、広いトレンチ4b上に SiN 膜7のパターンが残されることにより、この後に行われるCMP工程で、広いトレンチ4b内の埋め込み SiO_2 膜6の膜減りを防止することができる。

【0083】次に、図3Aに示すように、CMP法により、 SiN の研磨レートと SiO_2 の研磨レートとがほぼ等しくなる条件で、埋め込み SiO_2 膜6上の Si

N 膜7がほぼ完全に除去されるまで研磨を行う。このように SiN 膜7が除去されるまで研磨を行うことにより、表面がほぼ平坦化された埋め込み SiO_2 膜6が得られる。このときのCMP法による研磨の条件の一例を挙げると、ポリウレタンの研磨パッドおよびアルカリ性水溶液中に研磨材としてのシリカを分散させたスラリーを用い、研磨圧力を100kPa、定盤の回転数を40rpmとする。スラリーのアルカリ性水溶液としては、例えばKOH水溶液（KOHは重量比で5%程度）を用いる。このとき、 SiO_2 膜の平坦な表面での研磨レートは、約400nm/分、 SiN 膜の平坦な表面での研磨レートは、約400nm/分である。

【0084】次に、CMP法により、 SiO_2 の研磨レートが SiN の研磨レートより大きくなる条件で、凸部5a、5b上の SiN 膜3を研磨ストッパーとして、 SiN 膜3上の埋め込み SiO_2 膜6がほぼ完全に除去されるまで研磨を行う。これにより、図3Bに示すように、トレンチ4a、4b以外の部分に形成された埋め込み SiO_2 膜6が除去され、これらのトレンチ4a、4bの内部のみに埋め込み SiO_2 膜6が残される。また、このとき、トレンチ4a、4bの内部に残存する埋め込み SiO_2 膜6の厚さは、 Si 基板1の全面に渡ってほぼ均一となる。このときのCMP法による研磨の条件の一例を挙げると、ポリウレタンの研磨パッドおよびアルカリ性水溶液中に研磨材としてのシリカを分散させたスラリーを用い、研磨圧力を50k~60kPa、定盤の回転数を20rpmとする。スラリーのアルカリ性水溶液としては、例えばKOH水溶液（KOHは重量比で5%程度）を用いる。このとき、 SiO_2 膜の平坦な表面での研磨レートは、約200~250nm/分、 SiN 膜の平坦な表面での研磨レートは、約50nm/分である。

【0085】次に、図4Aに示すように、例えば熱リン酸を用いたウエットエッチング法により、凸部5a、5b上の SiN 膜3を除去した後、例えばフッ酸を用いたウエットエッチング法により凸部5a、5b上のパッド SiO_2 膜2を除去する。このとき、パッド SiO_2 膜2を除去する際に、埋め込み SiO_2 膜6もエッチングされるため、これらの埋め込み SiO_2 膜6の厚さが減少する。

【0086】以上のようにして、トレンチ素子分離技術により素子間分離が行われる。

【0087】以降、活性領域の表面を犠牲酸化した後、活性領域中に不純物の導入を行う。次に、例えばフッ酸を用いたウエットエッチング法により犠牲酸化膜を除去した後、例えば熱酸化法により活性領域の表面に SiO_2 膜のようなゲート絶縁膜を形成する。次に、例えばCVD法により、ゲート電極材料としての多結晶 Si 膜を全面に形成した後、例えばRIE法によりこの多結晶 Si 膜を所定形状にパターンニングすることにより、ゲート

絶縁膜上にゲート電極を形成する。図4Bは、ゲート電極の形成まで行った状態を示す。図4Bにおいて、ゲート絶縁膜およびゲート電極は、図示省略されている。ここで、埋め込みSiO₂膜6の厚さが更に減少し、トレンチ4a、4bの側壁に対応する部分に窪みが生じているのは、犠牲酸化膜を除去する際に埋め込みSiO₂膜6もエッチングされるためである。ここでは、この犠牲酸化膜を除去する際に、埋め込み酸化膜6の厚さがトレンチ深さとほぼ等しくなるようにエッチングを制御し、凸部5a、5bにおけるSi基板1の表面と、トレンチ4a、4bにおける埋め込みSiO₂膜6の表面とをほぼ一致させている。

【0088】以降、従来公知の方法により、MOSFETやキャパシタなどの素子を形成し、目的とする半導体装置を完成させる。

【0089】以上のように、この第1の実施形態によれば、埋め込みSiO₂膜6を形成した後、この埋め込みSiO₂膜6上にSiN膜7を形成し、広いトレンチ4a内に孤立した凸部5aに対応する部分および広い凸部5bを囲むようにSiN膜7をパターンニングし、この後、CMP法により、埋め込みSiO₂膜6上のSiN膜7がほぼ除去されるまで、埋め込みSiO₂膜6とSiN膜7とを低選択比条件で研磨するようにしている。これにより、孤立した凸部5aの近傍に対応する部分の埋め込みSiO₂膜6の研磨が過度に進行することを防止することができると共に、広い凸部5bに対応する部分の埋め込みSiO₂膜6（広い平坦部を有する段差）も他の部分における埋め込みSiO₂膜6と同様に研磨することができ、埋め込みSiO₂膜6の表面をほぼ平坦にすることができる。

【0090】したがって、この後、CMP法により、凸部5a、5b上のSiN膜3を研磨ストッパーとして、このSiN膜3上の埋め込みSiO₂膜6がほぼ除去されるまで、埋め込みSiO₂膜6をSiN膜3に対して高選択比条件で研磨することにより、トレンチ4a、4bの内部に残存する埋め込みSiO₂膜6の厚さを、Si基板1の全面に渡ってほぼ均一にすることができ、平坦性の良好な素子分離構造を実現することができる。

【0091】また、このように平坦性の良好な素子分離構造を実現することができることにより、例えばDRAM形成領域のように単位面積当たり活性領域（凸部パターン）の密度が高い部分において、活性領域と素子分離領域との間の段差が低減されるため、ゲート電極加工時に段差部の近傍にゲート電極材料のエッチング残りが生じることによる短絡の問題が解消される。また、例えば周辺回路形成領域のように単位面積当たり活性領域（凸部パターン）の密度が低い部分において、孤立した活性領域の近傍の埋め込みSiO₂膜6の落ち込みも低減されるため、ゲート絶縁膜の膜質が劣化するという問題、MOSFETのしきい値電圧が設計値から変動するとい

う問題、電流-電圧特性にキックが出現するという問題等が解消される。これにより、特性が良好でかつ高い信頼性を有する素子を形成することができると共に、素子の設計を容易に行うことができるという効果が得られる。

【0092】また、この第1の実施形態によるトレンチ素子分離技術により素子間分離を行う場合、活性領域が密集した領域上の埋め込み絶縁膜を予め取り除いてやるようにした従来のトレンチ素子分離技術（図8～図11参照）と比較してもマスクの増加が無いため、低コストで半導体装置を製造することができる。

【0093】次に、この発明の第2の実施形態について説明する。この第2の実施形態による半導体装置の製造方法においては、トレンチ素子分離技術により素子間分離を行う場合に、第1の実施形態におけると同様に工程を進めて、図3Aに示すように、SiN膜7を除去する工程まで行い、埋め込みSiO₂膜6の表面を平坦化する。この後、例えばフッ酸を用いたウェットエッチング法により、凸部5a、5b上のSiN膜3をエッチングストッパーとして、SiN膜3上の埋め込みSiO₂膜6がほぼ完全に除去されるまで、埋め込みSiO₂膜6をエッチングする。これにより、図3Bに示すと同様の構造を得る。この第2の実施形態による半導体装置の製造方法のその他の構成は、第1の実施形態による半導体装置の製造方法と同様であるので、説明を省略する。

【0094】この第2の実施形態によれば、第1の実施形態と同様な効果を得ることができる。

【0095】次に、この発明の第3の実施形態について説明する。図5～図6は、この第3の実施形態によるトレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法を説明するための断面図である。ここでは、DRAMとロジック素子とを同一半導体基板上に混載したシステムLSIのような半導体装置を製造する場合を例に説明する。

【0096】この第3の実施形態によるトレンチ素子分離技術においては、まず、図5Aに示すように、Si基板1の表面に、例えば熱酸化法により例えば厚さ5～20nm程度のパッドSiO₂膜2を形成する。次に、例えば、減圧CVD法により、全面に例えば厚さ50～250nm程度のSiN膜3（第1の膜）を形成する。このSiN膜3は、後述するトレンチ以外の部分に形成された埋め込み絶縁膜を除去するためのCMP工程において、研磨ストッパーとして用いられるものである。次に、リソグラフィ法により、SiN膜3上に所定形状のレジストパターン（図示せず）を形成する。このリソグラフィ工程は、例えば、光源にKrFエキシマレーザを用いたステップを用いて行う。このレジストパターンは、Si基板1の活性領域となる部分を覆い素子分離領域となる部分に開口部を有する。次に、このレジストパターンをマスクとして、例えばRIE法によりSiN膜

3を選択的にエッチングする。これにより、SiN膜3の素子分離領域に対応する部分に開口部が形成される。その後、エッチングマスクとして用いたレジストパターンを除去する。

【0097】次に、SiN膜3をマスクとして、例えばRIE法によりパッドSiO₂膜2およびSi基板1を、Si基板1の表面と垂直方向に異方性エッチングすることにより、トレンチ4aおよびトレンチ4bを形成する。この場合、Si基板1の表面からトレンチ4a、4bの底部までの深さ、すなわちトレンチ深さは、例えば300~400nm程度とする。このようにトレンチ4a、4bが形成されたことにより、これらのトレンチ4a、4bで囲まれた活性領域に対応する部分に凸部5a、5bが形成される。

【0098】ここで、トレンチ4aは狭い素子分離領域に対応する部分に形成されたものであり、トレンチ4bは広い素子分離領域に対応する部分に形成されたものである。狭いトレンチ4aの一方における幅は、例えば、トレンチ深さとほぼ同程度またはそれ以下であり、広いトレンチ4bの一方における幅は、例えば1μm以上、数μm程度である。一例を挙げると、狭いトレンチ4aの一方における幅は0.25μm程度であり、広いトレンチ4bの一方における幅は5μm程度である。また、凸部5aは狭い活性領域に対応する部分に形成されたものであり、凸部5bは広い活性領域に対応する部分に形成されたものである。これらの凸部5a、5bのうち、狭い凸部5aの一方における幅は例えば0.3μmであり、広い凸部5bの一方における幅は例えば数μm程度である。

【0099】この半導体装置においては、例えばDRAM形成領域に対応する領域aには、狭いトレンチ4aと狭い凸部5aとが周期的に形成されており、凸部パターンが密に形成されている。一方、例えばI/O部やキャパシタ形成領域（周辺回路形成領域）に対応する領域bには、広いトレンチ4bの間に狭い凸部5aが孤立して形成されており、凸部パターンが疎に形成されている。この場合、広いトレンチ4b間に孤立した凸部5a、すなわち、広い素子分離領域間に孤立した活性領域は、隣接する活性領域から1μm以上（この例では5μm）離れている。また、領域bには、広い凸部5bが形成されており、この部分では凸部パターンが密となっている。

【0100】上述のようにSi基板1の素子分離領域にトレンチ4a、4bを形成した後、熱酸化法により、トレンチ4a、4bの側壁および底部に酸化膜（図示せず）を形成する。

【0101】次に、図5Bに示すように、例えばCVD法により、トレンチ4a、4bの内部を埋めるように全面に埋め込みSiO₂膜6（第2の膜）を形成する。この埋め込みSiO₂膜6の厚さは、Si基板1に形成されたトレンチ4a、4bの深さ（トレンチ深さ）および

SiN膜3の厚さなどを考慮して決定される。ここでは、一例として、埋め込みSiO₂膜6の表面の高さが最も低い部分（広いトレンチ4bに対応する部分）において、その表面がSiN膜3の表面とほぼ一致するように、この埋め込みSiO₂膜6をSi基板1上に形成する。すなわち、トレンチ4b上に堆積する埋め込みSiO₂膜6の厚さが、トレンチ深さとパッドSiO₂膜2の厚さとSiN膜3の厚さとの和（例えば600μm程度）とほぼ等しくなるようにする。

【0102】次に、図6Aに示すように、埋め込みSiO₂膜6上に、例えばCVD法により多結晶Si膜8（第3の膜）を形成する。次に、多結晶Si膜8上にリソグラフィにより所定形状のレジストパターン（図示せず）を形成する。このレジストパターンは、領域b内の孤立した凸部5aに隣接する広いトレンチ4bに対応する部分を覆い、それ以外の部分に開口部を有する。次に、このレジストパターンをマスクとして例えばRIE法により多結晶Si膜8を選択的にエッチングすることにより、この多結晶Si膜8をパターンニングする。これにより、埋め込みSiO₂膜6上のうち、領域b内の孤立した凸部5aを取り囲む広いトレンチ4bに対応する部分に多結晶Si膜8が形成される（この部分のみに多結晶Si膜8が残される）。この多結晶Si膜8は、後述するトレンチ以外の部分に形成された埋め込み絶縁膜を除去するためのCMP工程において、SiN膜3と共に研磨ストッパーとして用いられるものである。この多結晶Si膜8の厚さは、後に行われるCMPの条件に応じて決められ、具体的には、例えば10~300nm程度に選ばれる。また、この多結晶Si膜8の一方における幅は、例えば4μm程度である。

【0103】次に、図6Bに示すように、CMP法により、凸部5a、5b上のSiN膜3を第1の研磨ストッパーとし、埋め込みSiO₂膜6上の多結晶Si膜8を第2の研磨ストッパーとして、SiN膜3上の埋め込みSiO₂膜6がほぼ完全に除去されるまで埋め込みSiO₂膜6を研磨する。このとき、被研磨膜としての埋め込みSiO₂膜6を研磨する間、研磨ストッパーとしての多結晶Si膜8が除去されてしまうことの無いようにする必要がある。この観点から、このCMP工程においては、多結晶Si膜8に対する埋め込みSiO₂膜6の選択比が高いスラリー、例えば、研磨材に酸化セリウムを用いたスラリーが用いられる。この研磨材に酸化セリウムを用いたスラリーは、多結晶SiやSiNに対するSiO₂の選択比が高い。したがって、埋め込みSiO₂膜6を研磨する際に、SiN膜3および多結晶Si膜8を良好な研磨ストッパーとして機能させることができる。このときのCMP法による研磨の条件の一例を挙げると、ポリウレタン製の研磨パッドおよび中性水溶液中に研磨材としての酸化セリウムを分散させたスラリーを用い、研磨圧力を30kPa、定盤の回転数を60rpm

mとする。このとき、SiO₂膜の平坦な表面での研磨レートは、約300nm/分、多結晶Si膜の平坦な表面での研磨レートは、約10nm/分、SiN膜の平坦な表面での研磨レートは、約10nm/分である。

【0104】次に、例えば、CMP法により、埋め込みSiO₂膜6上に残存する多結晶Si膜8を除去する。このときのCMP法による研磨の条件の一例を挙げると、ポリウレタン製の研磨パッドおよびアルカリ性水溶液中に研磨材としてのシリカを分散させたスラリーを用い、研磨圧力を30kPa、定盤の回転数を60rpmとする。スラリーのアルカリ性水溶液としては、例えばKOH水溶液（KOHは重量比で1%程度、好適には1%未満）を用いる。なお、この多結晶Si膜8の除去は、ドライエッチング法や化学ドライエッチング法により多結晶Si膜8を選択的にエッチングすることにより行ってもよい。

【0105】これにより、図6Bに示すように、トレンチ4a、4b以外の部分に形成された埋め込みSiO₂膜6が除去され、これらのトレンチ4a、4bの内部のみに埋め込みSiO₂膜6が残される。また、このとき、トレンチ4a、4bの内部に残存する埋め込みSiO₂膜6の厚さは、Si基板1の全面に渡ってほぼ均一となる。

【0106】次に、図示は省略するが、第1の実施形態におけると同様に、例えば基板に対して熱リン酸を施すことにより、凸部5a、5b上のSiN膜3を除去した後、例えばフッ酸を用いたウェットエッチング法により凸部5a、5b上のパッドSiO₂膜2を除去する。このとき、パッドSiO₂膜2を除去する際に、埋め込みSiO₂膜6もエッチングされるため、これらの埋め込みSiO₂膜6の厚さが減少する。以上のようにして、トレンチ素子分離技術により素子間分離が行われる。

【0107】次に、第1の実施形態におけると同様に、活性領域の表面を犠牲酸化した後、活性領域中に不純物の導入を行う。次に、例えばフッ酸を用いたウェットエッチング法により犠牲酸化膜を除去した後、例えば熱酸化法により活性領域の表面にSiO₂膜のようなゲート絶縁膜を形成する。次に、例えばCVD法により、ゲート電極材料としての多結晶Si膜を全面に形成した後、例えばRIE法によりこの多結晶Si膜を所定形状にパターンニングすることにより、ゲート絶縁膜上にゲート電極を形成する。以降、従来公知の方法により、MOSFETやキャパシタなどの素子を形成し、目的とする半導体装置を完成させる。

【0108】この第3の実施形態によれば、第1の実施形態と同様な効果を得ることができる。

【0109】すなわち、この第3の実施形態によれば、埋め込みSiO₂膜6上のうち、孤立した凸部5aを取り囲む広いトレンチ4bに対応する部分に多結晶Si膜8を形成した後、CMP法により、多結晶Si膜8に対

する埋め込みSiO₂膜6の選択比が高いスラリーを用い、SiN膜3および多結晶Si膜8を研磨ストッパーとして埋め込みSiO₂膜6を研磨するようにしていることにより、孤立した凸部5aの近傍に対応する部分における埋め込みSiO₂膜6の研磨が過度に進行することを防止することができる。これにより、CMP工程における研磨マージンを大きくできると共に、トレンチ4a、4b内に埋め込まれる埋め込みSiO₂膜6の厚さをSi基板1の全面に渡ってほぼ均一に揃えることができ、平坦性の良好な素子分離構造を実現することができる。

【0110】また、このように平坦性の良好な素子分離構造を実現することができることにより、例えばDRAM形成領域のように単位面積当たり活性領域（凸部パターン）の密度が高い部分において、活性領域と素子分離領域との間の段差が低減されるため、従来のように、ゲート電極加工時に段差部の近傍にゲート電極材料のエッチング残りが生じることによる短絡の問題が解消される。また、例えば周辺回路形成領域のように単位面積当たり活性領域（凸部パターン）の密度が低い部分において、孤立した活性領域の近傍の埋め込みSiO₂膜6の落ち込みも低減されるため、従来のように、ゲート絶縁膜の膜質が劣化するという問題、MOSFETのしきい値電圧が設計値から変動するという問題、電流-電圧特性にキックが出現するという問題等が解消される。これにより、特性が良好でかつ高い信頼性を有する素子を形成できると共に、素子の設計を容易に行うことができるという効果が得られる。

【0111】また、この第3の実施形態においては、トレンチ素子分離技術により素子間分離を行う場合に、活性領域が密集した領域上の埋め込み絶縁膜を予め取り除いてやるようにした従来のトレンチ素子分離技術（図8～図11参照）と比較してもマスクの増加が無いため、低コストで半導体装置を製造することができる。

【0112】次に、この発明の第4の実施形態について説明する。この第4の実施形態による半導体装置の製造方法においては、トレンチ素子分離技術により素子間分離を行う場合に、上述の第3の実施形態における第2の研磨ストッパー（第3の膜）としての多結晶Si膜8に代えてSiN膜を用いる。

【0113】すなわち、この第4の実施形態による半導体装置の製造方法においては、第3の実施形態におけると同様に工程を進めて、埋め込みSiO₂膜6上のうち、領域bの孤立した凸部5aを取り囲む広いトレンチ4bに対応する部分にSiN膜を形成する工程まで行う（図6A参照）。次に、第3の実施形態におけると同様に、CMP法により、研磨材に酸化セリウムを用いたスラリーを用いて、凸部5a、5b上のSiN膜3を第1の研磨ストッパーとし、埋め込みSiO₂膜6上のSiN膜を第2の研磨ストッパーとして、SiN膜3上の埋

め込み SiO_2 膜 6 がほぼ完全に除去されるまで研磨を行う。次に、例えば基板に対して熱リン酸処理を施すことにより、凸部 5a、5b 上の SiN 膜 3 を除去すると共に、埋め込み SiO_2 膜 6 上に残存する第 2 の研磨ストッパー（第 3 の膜）としての SiN 膜を除去する。

【0114】以降、第 3 の実施形態におけると同様に工程を進めて、目的とする半導体装置を完成させる。

【0115】この第 4 の実施形態によれば、第 3 の実施形態と同様な効果を得ることができる。

【0116】以上この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、この発明の技術的思想に基づく各種の変形が可能である。例えば、上述の第 1～第 4 の実施形態において挙げた数値、構造、材料、プロセスなどはあくまで例にすぎず、必要に応じて、これらと異なる数値、構造、材料、プロセスなどを用いてもよい。

【0117】また、上述の第 1 および第 2 の実施形態においては、 SiN 膜 7 をパターニングする際に、孤立した凸部 5a を囲む広いトレンチ 4b に対応する部分および広い凸部 5b を囲むトレンチ 4b に対応する部分にのみ SiN 膜 7 を残すようにしているが、これは、例えば、全ての凸部 5a、5b に対応する部分の SiN 膜 7 を除去し、全てのトレンチ 4a、4b に対応する部分に SiN 膜 7 を残すようにしてもよい。

【0118】また、上述の第 3 および第 4 の実施形態においては、埋め込み SiO_2 膜 6 を形成する際に、広いトレンチ 4b 上に堆積する埋め込み SiO_2 膜 6 の厚さが、トレンチ深さとパッド SiO_2 膜 2 の厚さと SiN 膜 3 の厚さとの和より大きくなるように（トレンチ 4b 上に堆積する埋め込み SiO_2 膜 6 の表面が SiN 膜 3 の表面より高くなるように）してもよいし、この和より小さくなるように（トレンチ 4b 上に堆積する埋め込み SiO_2 膜 6 の表面が SiN 膜 3 の表面より高くなるように）してもよい。なお、広いトレンチ 4b 上に堆積する埋め込み SiO_2 膜 6 の厚さを、トレンチ深さとパッド SiO_2 膜 2 の厚さと SiN 膜 3 の厚さとの和より大きくした場合は、CMP 工程終了後に多結晶 Si 膜 8 を除去してから、例えばウェットエッチング法などにより、多結晶 Si 膜 8 の直下にあたる埋め込み SiO_2 膜 6 の膜厚を低減するようにしてもよい。

【0119】

【発明の効果】以上説明したように、この発明の第 1 の発明によれば、埋め込み絶縁膜上にダミー膜を形成し、孤立した活性領域に対応する部分を囲むようにダミー膜をパターニングした後、化学機械研磨法により、ダミー膜の研磨レートと埋め込み絶縁膜の研磨レートとがほぼ等しくなる条件で、埋め込み絶縁膜上のダミー膜がほぼ完全に除去されるまで研磨を行うようにしていることにより、孤立した活性領域の近傍に対応する部分における埋め込み絶縁膜の研磨が過度に進行することを防止する

ことができ、ダミー膜が除去された時点で、埋め込み酸化シリコン膜の表面をほぼ平坦にすることができる。このため、この後に、化学機械研磨法により、埋め込み絶縁膜の研磨レートが研磨停止膜の研磨レートより大きくなる条件で、研磨停止膜上の埋め込み絶縁膜がほぼ完全に除去されるまで研磨を行うことにより、溝の内部に埋め込まれる埋め込み絶縁膜の厚さを半導体基板の全面に渡ってほぼ均一に揃えることができる。したがって、活性領域が密な部分と疎な部分とが混在する場合であっても、トレンチ素子分離技術により平坦性の良好な素子分離構造を形成することができる。また、このように、平坦性の良好な素子分離構造を形成することができることにより、素子の特性のおよび信頼性の向上を図ることができると共に、素子設計を容易に行うことができるという効果がある。

【0120】この発明の第 2 の発明によれば、埋め込み絶縁膜上にダミー膜を形成し、孤立した活性領域に対応する部分を囲むようにダミー膜をパターニングした後、化学機械研磨法により、ダミー膜の研磨レートと埋め込み絶縁膜の研磨レートとがほぼ等しくなる条件で、埋め込み絶縁膜上のダミー膜がほぼ完全に除去されるまで研磨を行い、この後に、ウェットエッチング法により、埋め込み絶縁膜のエッチングレートがエッチング停止膜のエッチングレートより大きくなる条件で、エッチング停止膜上の埋め込み絶縁膜がほぼ完全に除去されるまでエッチングするようにしていることにより、第 1 の発明と同様な効果を得ることができる。

【0121】この発明の第 3 の発明によれば、第 2 の膜上のうち、少なくとも孤立した活性領域を取り囲む素子分離領域に対応する部分に第 3 の膜を形成するようにしていることにより、その後に、溝の内部以外の部分に形成された第 2 の膜を除去する際に、化学機械研磨法により第 2 の膜を研磨するようにしても、孤立した活性領域の近傍に対応する部分における第 2 の膜の研磨が過度に進行することを防止することができる。これにより、溝の内部に埋め込まれる第 2 の膜の厚さを基板の全面に渡ってほぼ均一に揃えることができるので、第 1 の発明と同様な効果を得ることができる。

【0122】この発明の第 4 の発明によれば、第 2 の膜上のうち、少なくとも孤立した活性領域を取り囲む素子分離領域に対応する部分に第 3 の膜を形成した後、化学機械研磨法により、第 3 の膜の研磨レートと第 2 の膜の研磨レートとがほぼ等しくなる条件で第 2 の膜および第 3 の膜を研磨するようにしていることにより、孤立した活性領域の近傍に対応する部分における第 2 の膜の研磨が過度に進行することを防止することができ、しかも、第 2 の膜上の第 3 の膜が除去された時点で、第 2 の膜の表面をほぼ平坦にすることができる。このため、その後に、化学機械研磨法またはエッチング法により、第 1 の膜を研磨停止層またはエッチング停止層として第 2 の膜

を研磨またはエッチングすることにより、溝の内部に埋め込まれる第2の膜の厚さを基板の全面に渡ってほぼ均一に揃えることができるので、第1の発明と同様な効果を得ることができる。

【0123】この発明の第5の発明によれば、第2の膜上のうち、少なくとも孤立した活性領域を取り囲む素子分離領域に対応する部分に第3の膜を形成した後、化学機械研磨法により、第3の膜に対する第2の膜の選択比が高い研磨スラリーを用い、第1の膜および第3の膜を研磨停止層として第2の膜を研磨するようにしていることにより、孤立した活性領域の近傍に対応する部分における第2の膜の研磨が過度に進行することを防止することができる。これにより、溝の内部に埋め込まれる第2の膜の厚さを基板の全面に渡ってほぼ均一に揃えることができるので、第1の発明と同様な効果を得ることができる。

【図面の簡単な説明】

【図1】この発明の第1の実施形態によるトレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法を説明するための断面図である。

【図2】この発明の第1の実施形態によるトレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法を説明するための断面図である。

【図3】この発明の第1の実施形態によるトレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法を説明するための断面図である。

【図4】この発明の第1の実施形態によるトレンチ素子分離技術により素子間分離を行うようにした半導体装置

の製造方法を説明するための断面図である。

【図5】この発明の第3の実施形態によるトレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法を説明するための断面図である。

【図6】この発明の第3の実施形態によるトレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法を説明するための断面図である。

【図7】従来のトレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法を説明するための断面図である。

【図8】従来のトレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法を説明するための断面図である。

【図9】従来のトレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法を説明するための断面図である。

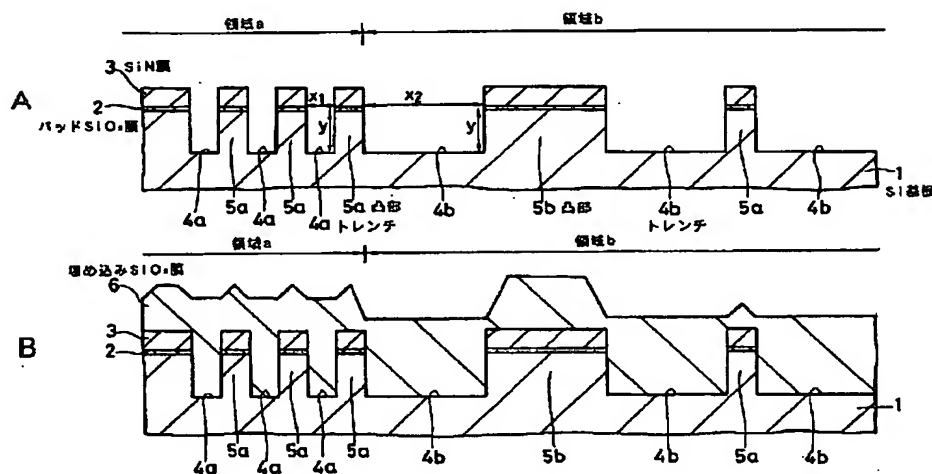
【図10】従来のトレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法を説明するための断面図である。

【図11】従来のトレンチ素子分離技術により素子間分離を行うようにした半導体装置の製造方法を説明するための断面図である。

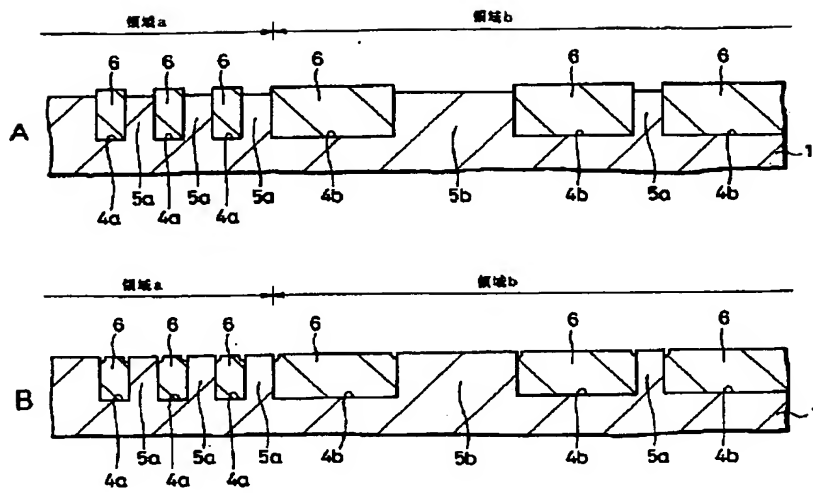
【符号の説明】

1・・・Si基板、2・・・パッドSiO₂膜、3、7・・・SiN膜、4a、4b・・・トレンチ、5a、5b・・・凸部、6・・・埋め込みSiO₂膜、8・・・多結晶Si膜

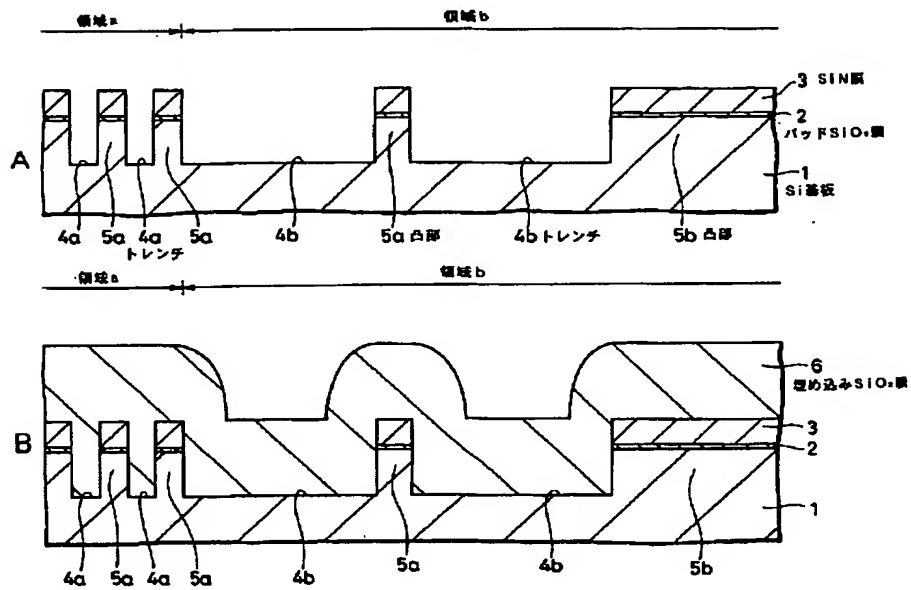
【図1】



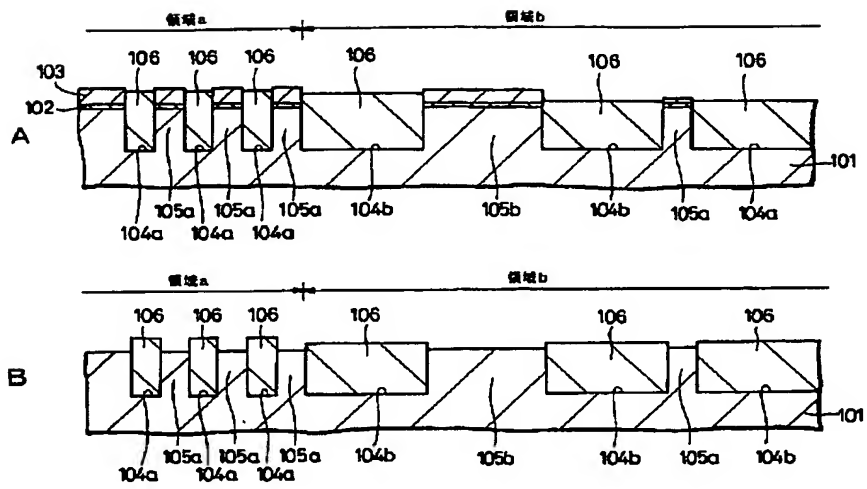
【図 4】



【図 5】



【図 8】



【図 9】

